

## 1. Interruption

Une interruption est un événement inattendu qui provoque l'arrêt du programme principal pour aller exécuter une procédure d'interruption. A la fin de cette procédure, le  $\mu$ C reprend le programme à l'endroit où il s'était arrêté.

Le  $\mu$ C 16F84 possède **4 sources d'interruption**. A chaque interruption sont associés deux bits :

- Un bit de validation : permet d'autoriser ou non l'interruption.
- Un bit de signalisation ou drapeau (flag) : permet au  $\mu$ C de savoir de quelle interruption il s'agit.

Tous ces bits sont logés dans le registre **INTCON** à part le drapeau **EEIF** de l'interruption **EEI** qui se trouve dans le registre **EECON1**.

Registre INTCON  $\Rightarrow$ 

GIE	EEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF
-----	------	------	------	------	------	------	------

- GIE** : ce bit autorise ou interdit globalement toutes les interruptions.  
 $GIE=1 \Rightarrow$  toutes les interruptions sont autorisées.
- EEIE** : ce bit permet de valider l'interruption de fin d'écriture en EEPROM.  
 $EEIE=1 \Rightarrow$  interruption validée.
- TOIE** : ce bit valide l'interruption générée par le débordement du timer TMRO.  
 $TOIE=1 \Rightarrow$  interruption validée.
- INTE** : ce bit valide l'interruption sur la broche RB<sub>0</sub>.  
 $INTE=1 \Rightarrow$  interruption validée.
- RBIE** : ce bit valide l'interruption sur l'une des broches RB<sub>4</sub> à RB<sub>7</sub>.  
 $RBIE=1 \Rightarrow$  interruption validée.
- TOIF** : ce bit signale le débordement du timer TMRO.  
 $TOIF=1 \Rightarrow$  débordement du timer TMRO.
- INTF** : ce bit signale qu'une interruption a été provoquée par la broche RB<sub>0</sub>.  
 $INTF=1 \Rightarrow$  interruption générée.
- RBIF** : ce bit signale qu'une interruption a été provoquée par l'une des broches RB<sub>4</sub> à RB<sub>7</sub>.  
 $RBIF=1 \Rightarrow$  interruption générée.

Registre EECON1  $\Rightarrow$ 

			EEIF	WRERR	WREN	WR	RD
--	--	--	------	-------	------	----	----

- EEIF** : ce bit signale le déclenchement d'une interruption de fin d'écriture en EEPROM.  
 $EEIF=1 \Rightarrow$  interruption générée.

## 2. Déroulement d'une interruption

Lorsque l'événement déclencheur d'une interruption intervient, alors son drapeau est positionné à 1. Si de plus l'interruption correspondante a été validée, elle est alors déclenchée : le  $\mu$ C arrête ce qu'il est en train de faire et va exécuter la procédure d'interruption qui se trouve à l'**adresse 4** en exécutant les étapes suivantes :

- ☒ L'adresse contenue dans le PC (Program Counter) est sauvegardée dans la pile, puis remplacée par la valeur 4 qui correspond à l'adresse de la routine d'interruption.
- ☒ Le bit GIE est positionné à 0 pour inhiber toutes les interruptions afin que le  $\mu$ C ne soit pas dérangé pendant l'exécution de la procédure d'interruption.
- ☒ A la fin de la procédure d'interruption (instruction RETFIE) :
  - Le bit GIE est repositionné à 1 en autorisant ainsi un autre événement.
  - Le contenu du PC est recharge à partir de la pile ce qui permet au programme de reprendre là où il s'est arrêté.

### Remarques :

- ☒ Le drapeau reste à 1 même après le traitement de l'interruption. Par conséquent, il faut toujours le remettre à 0 à la fin de la routine d'interruption sinon l'interruption sera déclenchée de nouveau juste après l'instruction RETFIE.
- ☒ Seul le PC est empilé automatiquement. Si cela est nécessaire, les registres W et STATUS doivent être sauvegardés temporairement en RAM utilisateur puis restaurés à la fin de la routine d'interruption pour que le  $\mu$ C puisse reprendre le programme dans les mêmes conditions où il l'a laissé.

## 3. Sources d'interruption

### 31. Interruption INT : Entrée RB<sub>0</sub> du PORTB

Cette interruption est provoquée par un changement d'état sur l'entrée RB<sub>0</sub> du PORTB quand elle est programmée en entrée. Elle est gérée par les bits :

- ☒ INT<sub>E</sub> et INT<sub>F</sub> du registre INTCON.
- ☒ INTEDG du registre OPTION : ce bit permet de choisir le front du déclenchement de l'interruption.  
INTEDG=1  $\Rightarrow$  front montant et INTEDG=0  $\Rightarrow$  front descendant.

<u>Registre OPTION</u>	$\Rightarrow$	<table border="1"><tr><td>RBPU</td><td>INTEDG</td><td>TOCS</td><td>TOSE</td><td>PSA</td><td>PS<sub>2</sub></td><td>PS<sub>1</sub></td><td>PS<sub>0</sub></td></tr></table>	RBPU	INTEDG	TOCS	TOSE	PSA	PS <sub>2</sub>	PS <sub>1</sub>	PS <sub>0</sub>
RBPU	INTEDG	TOCS	TOSE	PSA	PS <sub>2</sub>	PS <sub>1</sub>	PS <sub>0</sub>			

### 32. Interruption RBI : Entrées RB<sub>4</sub> à RB<sub>7</sub> du PORTB

Cette interruption est provoquée par un changement d'état sur l'une des entrées RB<sub>4</sub> à RB<sub>7</sub> du PORTB. Le front n'a pas d'importance.

Les bits associés sont RBIE et RBIF du registre INTCON.

### 33. Interruption TOI : Débordement du Timer TMRO

Cette interruption est provoquée par le débordement du timer TMRO.

Les bits associés sont TOIE et TOIF du registre INTCON.

### 34. Interruption EEI : Fin d'écriture dans l'EEPROM

Cette interruption est déclenchée à la fin d'une écriture réussie dans l'EEPROM de données.

Les bits associés sont EEIE du registre INTCON et EEIF du registre EECON1.